

CLIPPEDIMAGE= JP408204164A

PAT-NO: JP408204164A

DOCUMENT-IDENTIFIER: JP 08204164 A

TITLE: MULTILAYERED SOLID-STATE IMAGE SENSING DEVICE AND ITS
MANUFACTURE

PUBN-DATE: August 9, 1996

INVENTOR-INFORMATION:

NAME

ARAKI, SHUICHI

ARIMA, MICHITSUGU

ANDO, FUMIHIKO

KOSUGI, MITSUO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NIPPON HOSO KYOKAI <NHK>

N/A

OLYMPUS OPTICAL CO LTD

N/A

APPL-NO: JP07025805

APPL-DATE: January 23, 1995

INT-CL (IPC): H01L027/146

ABSTRACT:

PURPOSE: To provide a multilayered solid-state image sensing device and its manufacturing method wherein electric field concentration at the edge of a picture element electrode is relieved, and the laminated surface can be smoothed by using easy structure.

CONSTITUTION: An MOS transistor is constituted by forming a source part 2 and a drain part 3 on a semiconductor substrate 1, and arranging a gate electrode 4. First metal electrodes 8, 9 which are connected with the source part 2 and the drain part 3 via a first insulating film 7 are formed. Picture element electrodes 12 which are brought into contact with a second metal electrode 11

connected with the first metal electrodes 8 via a second insulating film 10 are formed. An insulating film 13 obtained by thermally oxidizing the picture element electrodes 12 is arranged in the gap of each of the picture element electrodes 12. A first charge injection blocking layer 14, a photoelectric conversion film 15, a second charge injection block layer 16, and a transparent electrode 17 are sequentially laminated on the insulating film 13, and a multilayered solid-state image sensing device is constituted.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-204164

(43)公開日 平成8年(1996)8月9日

(51)IntCl⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/146

H 0 1 L 27/ 14

E

審査請求 未請求 請求項の数5 F D (全 8 頁)

(21)出願番号 特願平7-25805

(22)出願日 平成7年(1995)1月23日

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 荒木 秀一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

(72)発明者 有馬 通継

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

(74)代理人 弁理士 最上 健治

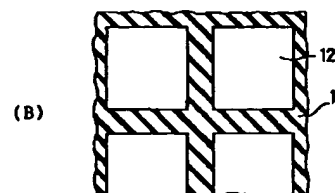
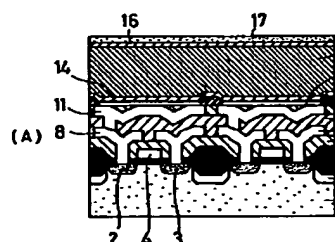
最終頁に続く

(54)【発明の名称】 積層型固体撮像装置及びその製造方法

(57)【要約】

【目的】 安易な構成で画素電極のエッジ部の電界集中の緩和と積層面の平滑化を可能にした積層型固体撮像装置及びその製造方法を提供する。

【構成】 半導体基板1にソース部2とドレイン部3を形成すると共にゲート電極4を設けてMOSTランジスタを構成し、第1の絶縁膜7を介してソース部2及びドレイン部3に接続した第1の金属電極8、9を形成し、更に第2の絶縁膜10を介して第1の金属電極8に接続された第2の金属電極11に接触させて画素電極12を形成し、各画素電極12の間隙部に該画素電極12を熱水酸化して得られた絶縁膜13を備え、その上に第1の電荷注入阻止層14、光電変換膜15、第2の電荷注入阻止層16、透明電極17を順次積層して積層型固体撮像装置を構成する。



- | | |
|--------------|-----------------|
| 1 : 半導体基板 | 8, 9 : 第1の金属電極 |
| 2 : ソース部 | 10 : 第2の絶縁膜 |
| 3 : ドレイン部 | 11 : 第2の金属電極 |
| 4 : ゲート電極 | 12 : 画素電極 |
| 5 : 素子分離領域 | 13 : 絶縁膜 |
| 6 : フィールド酸化膜 | 14 : 第1の電荷注入阻止層 |
| 7 : 第1の絶縁膜 | 15 : 光電変換膜 |
| | 16 : 第2の電荷注入阻止層 |
| | 17 : 透明電極 |

【特許請求の範囲】

【請求項1】 半導体基板上に信号電荷蓄積部及び信号読み出し部を画素毎に形成し、且つ各信号電荷蓄積部に電氣的に接続された各画素電極を有する走査回路部に、光電変換膜を積層してなる積層型固体撮像装置において、前記隣接する各画素電極の間隙部に、該画素電極の熱水酸化により形成された絶縁膜を備えていることを特徴とする積層型固体撮像装置。

【請求項2】 前記画素電極は、アルミニウム、アルミニウムシリコン、多結晶シリコンの何れか一種又は二種以上の材料で構成されていることを特徴とする請求項1記載の積層型固体撮像装置。

【請求項3】 前記光電変換膜は、セレン、非晶質シリコン、又はシリコン、ガリウム砒素の結晶体を主体とする半導体で構成されていることを特徴とする請求項1又は2記載の積層型固体撮像装置。

【請求項4】 前記光電変換膜内に電荷増倍作用が生じる強さの電界を印加する手段を備えていることを特徴とする請求項1～3のいずれか1項に記載の積層型固体撮像装置。

【請求項5】 前記請求項1～4のいずれか1項に記載の積層型固体撮像装置の製造方法において、隣接する画素電極の間隙子定部に対して60～100℃の熱水により熱水酸化処理を行い、各画素電極に分離するための絶縁膜を形成する工程を備えていることを特徴とする積層型固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、走査回路部に光電変換膜を積層して構成した積層型固体撮像装置及びその製造方法に関する。

【0002】

【従来の技術】一般に、CCD等の固体撮像装置においては、光電変換を行うフォトダイオード部（光電変換部）と信号電荷読み出し回路部（走査回路部）とが、シリコン基板の同一平面上に配置されているため、入射された光の利用率が悪く、感度の向上には限界がある。

【0003】そのため、従来、撮像管で使用されている光電変換膜を固体撮像素子上に積層して構成した固体撮像装置（光電変換膜積層型固体撮像装置とも呼ばれる）が、例えば特公昭59-26154号やTV学会全国大会予稿集1989、pp41～42（a-Se膜+AMI撮像素子）において提案されている。

【0004】図10は、かかる積層型固体撮像装置の構成例を示す断面図である。この構成例は、MOS型走査回路基板上に光電変換膜を積層して構成したもので、2画素部分の基本構造を示している。図10において、101は透明電極で、該透明電極101を透過した入射光102によって光電変換膜103中で電子・正孔対が発生し、透明電極101と画素電極104の間に印加した電界によって、電

子又は正孔が画素電極104まで光電変換膜103中を走行して蓄積される。各画素には画素電極104に接続されたソース部（電荷蓄積部）105、ドレイン部（電荷転送部）106、及びゲート電極107よりなるMOSスイッチが設けられており、このMOSスイッチを所定のタイミングでON/OFFすることによって、蓄積された信号電荷が順次出力されるようになっている。なお図10において、108は半導体基板、109は画素分離領域、110、111は絶縁膜、112は電極、113は電荷注入阻止層である。

【0005】そして、光電変換膜103には、光導電性に優れ暗抵抗が高く膜の形成が容易なことから、水素化非晶質シリコン（a-SiH）やセレンを主体とする非晶質半導体（a-Si）等が用いられ、必要に応じて、透明電極101と光電変換膜103との間や画素電極104と光電変換膜103の間には、各電極からの電荷注入を阻止する電荷注入阻止層113が設けられている（この構成例では透明電極101と光電変換膜103との間にのみ設けている）。また、走査回路部としては、MOSを主体としたものの他に、CCDを利用したものも知られている。

【0006】このような構成の積層型固体撮像装置では、撮像管に比べ装置の小型化が可能であり、また光電変換部が装置の最上部に配置されるため、紫外線や青色光等の短波長光の利用率も高くすることができ、また光電変換膜材料を選択することによって分光感度を自由に設計できる利点が得られる。例えば、撮像管のサチコンに用いられているセレンを主体とした光電変換膜は、波長400nm付近の青色光に分光感度ピークをもち、また太陽電池などに用いられる微結晶シリコンは、波長800nm付近の赤色光に分光感度ピークをもつことが知られている。更に、前記サチコンと同じ材料を用い、アバランシェ現象を利用して光電変換膜自体で信号増倍を行えるアバランシェ増倍型の積層型固体撮像装置（特開昭63-304551号）は、青色光に感度ピークをもつほかに、利得が10を超えるような特性を示すものも得られている。

【0007】ところが、このような積層型固体撮像装置は、光電変換膜を走査回路部に積層して構成するものであるため、下地となる走査回路部表面の凹凸に影響され、光電変換膜の平坦性が得られ難く、特に前記光電変換膜内でのアバランシェ増倍動作を利用する光電変換膜を積層する場合は、光電変換膜に約 1.2×10^6 V/cm以上の高い電界を必要とするため、凸部に電界が集中するなど問題が多かった。この原因は、画素電極が島状に分離していることに起因して、画素電極のエッジ部分にある光電変換膜の方が、画素電極中央部の真上にある光電変換膜よりも膜内電荷が強まり、局所的な電界集中が生じるためである。

【0008】このような画素電極のエッジ部における電界の集中を緩和させるための提案、更には積層面の平滑

化を目的とした提案が、従来なされている。例えば、特開平5-167056号には、図9に示すように、画素電極201のエッジ部及び間隙部をシリコン酸化膜からなる絶縁膜202で被覆し、その上に電荷注入阻止層203を介して光電変換膜204を積層し、画素電極201のエッジ部における電界集中を緩和させるように構成した積層型固体撮像装置が開示されている。また特開昭60-47574号には、図10に示すように、画素電極301の間隙予定部へ酸素をイオン注入法で注入し加熱することによって、画素電極301を部分的に酸化して絶縁膜302を形成し、その上に電荷注入阻止層303を介して光電変換膜304を積層したものが開示されており、更には特開昭62-193277号には、同様に熱酸化法によって画素電極間隙予定部に酸化絶縁膜を形成したものが開示されている。

【0009】

【発明が解決しようとする課題】ところで、図9に示すような、各画素電極間隙部に絶縁膜202を埋め込み被覆する構成のものにおいては、絶縁膜を形成するための工程が複雑で、歩留りが低下するという問題点がある。また図10に示すようなイオン注入により絶縁膜302を形成する構成のものにおいては、画素電極の膜厚如何によっては高い加速電圧を必要とし、絶縁膜を完全に形成させるための製造上の問題点があり、また熱酸化により絶縁膜を形成する場合には、画素電極の所望部分以外の部分への酸化が進行し、所望の絶縁膜を安定的に形成できないという問題点がある。

【0010】本発明は、従来提案された積層型固体撮像装置における上記問題点を解消するためになされたもので、請求項1記載の発明は、極めて安易な手段で画素電極のエッジ部の電界集中の緩和と積層面の平滑化を可能にしたアバランシェ増倍型の積層型固体撮像装置を提供することを目的とする。また請求項2記載の発明は、請求項1記載の積層型固体撮像装置における熱水酸化による絶縁膜の形成しやすい画素電極材料を提供することを目的とし、請求項3及び4記載の発明は、請求項1又は2記載の積層型固体撮像装置において、平坦化された光電変換膜における感度を一層向上させた積層型固体撮像装置を提供することを目的とする。また請求項5記載の発明の積層型固体撮像装置における熱水酸化による絶縁膜の極めて安易な製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段及び作用】上記問題点を解決するため、請求項1記載の発明は、半導体基板上に信号電荷蓄積部及び信号読み出し部を画素毎に形成し、且つ各信号電荷蓄積部に電気的に接続された各画素電極を有する走査回路部上に、光電変換膜を積層してなる積層型固体撮像装置において、前記隣接する各画素電極の間隙部に、該画素電極の熱水酸化により形成された絶縁膜

を備えていることを特徴とするものである。

【0012】このように隣接する画素電極間に熱水酸化による絶縁膜を形成することにより、極めて安易な構成で画素電極のエッジ部の電界集中を緩和し、また光電変換膜の下地の平坦化を図ることができる。

【0013】また請求項2記載の発明は、前記画素電極を、アルミニウム、アルミニウムシリコン、多結晶シリコンの何れか一種又は二種以上の材料で構成するものである。このような材料で画素電極を構成することにより、容易に熱水酸化による絶縁膜を形成することができる。

【0014】また請求項3記載の発明は、請求項1又は2記載の発明において、光電変換膜を、セレン、非晶質シリコン、又はシリコン、ガリウム砒素の結晶体を主体とする半導体で構成するものであり、また請求項4記載の発明は、請求項1～3のいずれか1項に記載の発明において、光電変換膜内に電荷増倍作用が生じる強さの電界を印加する手段を設けるものである。このように光電変換膜の材料を選定し、更に電荷増倍作用が生じる強さの電界を印加する手段を設けることにより、平坦化された光電変換膜におけるアバランシェ増倍効果により、高感度の積層型固体撮像装置を実現することができる。

【0015】また請求項5記載の発明は、前記請求項1～4のいずれか1項に記載の積層型固体撮像装置の製造方法において、隣接する画素電極の間隙予定部に対して60～100℃の熱水により熱水酸化処理を行い、各画素電極に分離するための絶縁膜を形成する工程を備えているものである。このような工程により、極めて容易に熱水酸化による絶縁膜を形成することができる。

【0016】

【実施例】次に実施例について説明する。図1の(A)、(B)は、本発明に係る積層型固体撮像装置の基本的な実施例を示す断面図及び走査回路部の上面図である。図1の(A)、(B)において、1は半導体基板、2は該基板1上に形成されたソース部(電荷蓄積部)、3はドレイン部(電荷転送部)、4はゲート電極で、ソース部2とドレイン部3とゲート電極4とでMOSトランジスタを構成している。5は素子分離領域、6はフィールド酸化膜、7は第1の絶縁膜、8、9はソース部2及びドレイン部3に接続された第1の金属電極、10は第2の絶縁膜、11は第2の金属電極、12はソース部2に第1及び第2の金属電極8、11を介して接続されたアルミニウムからなる画素電極で、各画素電極12、12間にはアルミニウムからなる画素電極12を熱水酸化して得られた絶縁膜13が形成され、走査回路部が構成されている。

【0017】そして、このように構成された走査回路部上には、第1の電荷注入阻止層14を介して光電変換膜15が積層され、更に光電変換膜15上には第2の電荷注入阻止層16を介して透明電極17を形成して、積層型固体撮像

装置を構成している。

【0018】ところで画素電極の熱水酸化処理に当たって、アルミニウムの熱水酸化処理における処理時間と、深さ方向に形成される酸化膜の膜厚との関係を実験により求めたところ、図2に示すような結果が得られ、指数関数的に酸化が進行することが判明した。なお、この際、熱水としては80℃の純水を用いた。よって、この実験結果を利用して、画素電極の膜厚に応じて処理時間を設定し、画素電極の間隙予定領域の熱水酸化処理を行う。

【0019】この熱水酸化処理は、画素電極自体を酸化させるものであるため、酸化時の結晶構造転移により体積が膨脹する。したがって、この画素電極12の間隙予定領域に形成された絶縁膜13は、画素電極12の表面より光電変換膜15側に凸状になる。したがって、光電変換膜15の電界集中が起こりやすい凹凸部（うねり）は、この絶縁膜13の凸部の上部にあたるため、電界集中によるリーク電流が生じるおそれはなくなる。また電界は画素電極12の上部に均等に印加されるため、光電変換膜15のアバランシェ増倍作用が生じやすくなる。なお、アバランシェ増倍作用をもたせるには、膜厚2μmのアモルファスセレンを光電変換膜に用いる場合、透明電極17と画素電極12間に、外部電源により240 V程度の電圧を印加する。

【0020】図3は、本発明と図8に示した従来例における信号電流と暗電流の光電変換膜印加電圧依存性を比較して示す図であり、α、βは本発明における信号電流と暗電流を示し、α'、β'は図8に示した従来例の信号電流と暗電流を示している。図3に示すように、信号電流と光電変換膜印加電圧との関係は、A、B、Cの3領域に分けられる。領域Aは、信号電流が電界の増加と共に増大するが、入射光によって生成した電子・正孔対が再結合することが多く、撮像装置としての実効量子効率率は1以下である。領域Bでは、生成した電子・正孔対の大部分が再結合することなく電界により分離されるため、透明電極側及び画素電極側にそれぞれ移動する。この領域では信号電流が印加電界に対し飽和する傾向を示し、またその飽和量子効率率はほぼ1になる。しかし、入射光子が全て電子・正孔対に変換され、更に信号電流となる場合の1を越えることはない。

【0021】従来例の撮像装置は、この領域Bにおいて作動させているが、本発明では領域Cにおいて作動させている。領域Cにおいては、光電変換膜としてアモルファスセレンを用いた場合、透明電極が正になるように約 1.2×10^6 V/cmの電界を印加する。この状態で光が光電変換膜に入射すると、領域A、Bの場合と同様に、電子・正孔対を生成した後、電子は透明電極側に、正孔は光電変換膜内を走行し、画素電極側へ移動するが、その途中でアバランシェ現象によって次々に新たな電子・正孔対を生成する。このため、量子効率は光電変換膜内の

正孔の走行距離に比例するが、膜厚が2μmの場合、青色光入射で約30という高い値が得られ、また本発明に係る積層型固体撮像装置は白傷が少なく、焼き付きや残像も認められないという特徴をもっている。

【0022】次に、本発明に係る積層型固体撮像装置の製造方法の第1実施例を、図4～図6に示す製造工程図に基づいて説明する。この実施例においては走査回路部にMOSトランジスタを備えている構成について説明する。まず、図4の(A)に示すように、半導体基板21の表面層でトランジスタ領域に相当する部分22を除く領域に、素子分離領域23を備えたフィールド酸化膜24を形成し、次いでゲート絶縁膜25を形成する。次に、図4の(B)に示すように、多結晶シリコンあるいはMo等の高融点金属よりなるゲート電極26を形成し、更に、不純物をイオン注入してトランジスタのソース部27とドレイン部28を形成する。次いで、図4の(C)に示すように、この上に第1の絶縁膜29を堆積した後、第1の絶縁膜29に設けたコンタクトホール30を介して、ソース部27及びドレイン部28とそれぞれ電気的に接続した第1の金属電極31、32を形成する。再び同様に、図4の(D)に示すように、この上に第2の絶縁膜33を堆積した後、第2の絶縁膜33に設けたコンタクトホール34を介して、ソース部27と電気的に導通されている第1の金属電極31に接続して第2の金属電極膜を形成し、画素毎に分離して第2の金属電極35を形成する。

【0023】次に、図5の(A)に示すように、無機系、有機系のいずれか一方又は両方を用いたSOG (Spin-on-Glass) 法や、TEOS (Tetra Ethoxy Silan) 法、ポリイミド塗布法などで、厚さ数μm～数10μmの平坦化された第3の絶縁膜36を形成する。そして、この第3の絶縁膜36の平坦化表面37を、第2の金属電極35の頂部35aが露出するまでエッチバックする。次いで、図5の(B)に示すように、その上にアルミニウム、アルミニウムシリコン、多結晶シリコン等の何れか一種、又は二種以上の材料からの画素電極層38を形成する。この時、下地の形状を受けて画素電極層38の表面38aも平坦化される。次に図5の(C)に示すように、平坦化された画素電極層38上に、画素電極の間隙予定部39を開口したレジストパターン40を形成する。そしてレジストパターン40を150℃のN₂雰囲気中で30分ベークして硬化させる。

【0024】次に、このように処理したウエハ全体を、80℃に温めた純水へ浸し、図6の(A)に示すように、画素電極の間隙予定部39を酸化し、絶縁膜からなる画素分離領域41を形成する。この際の酸化条件は、200 nmの膜厚のアルミニウムからなる画素電極膜の場合は、約10分程度である。次いでウエハを乾燥させた後、レジストパターン40を剥離することにより、画素分離領域41と平滑化した画素電極42が形成された走査回路部が得られる。

【0025】次に、上記のように構成された走査回路部の画素分離領域41と画素電極42上に、図6の(B)に示すように、3硫化アンチモン(Sb_2S_3)や3セレン化砒素(As_2Se_3)等からなる第1の電荷注入阻止層43を形成する。次いで、アモルファスセレン(a-Se)を主体とした光電変換膜44を形成する。この際、同時に砒素(As)やテルル(Te)をドーパして耐熱性や分光感度を制御する。次に、酸化セリウム(CeO_2)、酸化ゲルマニウム(GeO_2)等からなる第2の電荷注入阻止層45を形成する。次いで、ITO(インジウム-錫酸化膜)からなる透光性電極46を形成して、積層型固体撮像装置を完成する。この工程については、阻止型撮像管ターゲット製造工程を用いる。

【0026】このようにして製造された積層型固体撮像装置においては、走査回路部上の画素電極42から絶縁膜で形成された画素分離領域41への形状は、緩やかなテーパーになっており、しかも電界が集中しやすい形状であるところの凸部は、絶縁膜からなる画素分離領域41の凸部であるため、電界集中によるリーク電流が流れるおそれは生じない。

【0027】次に、製造方法の第2実施例を図7の(A)~(C)に基づいて説明する。この実施例は、画素電極を予め形成しておいて、各画素電極のエッジ部分に絶縁膜を形成するものである。したがって、第1実施例の図5の(A)に示す第3の絶縁膜36の平坦化表面37を、第2の金属電極35の頂部35aが露出するまでエッチバックするまでの工程は、第1実施例と同様である。本実施例においては、次いで、図7の(A)に示すように、画素毎に形成された第2の金属電極35に対応させ、該第2の金属電極35に接触させて画素電極51を形成する。次いで、画素電極51のエッジ部を開口したレジストパターン52を形成し、該レジストパターン52を150℃の N_2 雰囲気中で30分間ベークして硬化させる。次に、このようにレジストパターン52を形成したウェハ全体を80℃に温めた純水へ浸し、画素電極51のエッジ部を酸化処理して、絶縁膜53を形成する。この際の酸化処理条件は、第1実施例より短時間の1~5分程度でよい。次いで、ウェハを乾燥させた後、レジストパターン52を剥離して除去することにより、図7の(B)に示すように、エッジ部に絶縁膜53を形成した平滑化された画素電極51が得られる。次いで、図7の(C)に示すように、第1実施例と同様に、第1の電荷注入阻止層43、光電変換膜44、第2の電荷注入阻止層45及び透光性電極46を順次積層して、積層型固体撮像装置を完成する。

【0028】このようにして製造された積層型固体撮像装置においても、走査回路部上の画素電極51から絶縁膜53への形状は、緩やかなテーパーになっているが、第2実施例により画素電極51のエッジ部に形成された絶縁膜53は薄いため、画素電極51と絶縁膜53とはほぼ同一面上に位置するようになる。そしてこの実施例による積層型固

体撮像装置においても、電界が集中しやすい画素電極のエッジ部には、酸化膜からなる絶縁膜が形成されているため、リーク電流が流れるおそれはない。

【0029】

【発明の効果】以上実施例に基づいて説明したように、請求項1記載の発明によれば、隣接する画素電極間に熱水酸化による絶縁膜を形成することにより、極めて安易な構成で画素電極のエッジ部の電界集中を緩和し、また光電変換膜の下地の平坦化を図ることができる。また請求項2記載の発明によれば、容易に熱水酸化による絶縁膜を形成することができ、また請求項3及び4記載の発明によれば、平坦化された光電変換膜におけるアバランシェ増倍効果により、高感度の積層型固体撮像装置が得られる。また請求項5記載の発明によれば、極めて容易に熱水酸化による絶縁膜を形成することができる積層型固体撮像装置の製造方法を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る積層型固体撮像装置の基本的な実施例を示す断面図及びその走査回路部の上面図である。

20 【図2】熱水酸化処理におけるアルミニウムの処理時間と酸化膜の膜厚との関係を示す図である。

【図3】本発明と従来例における信号電流と暗電流の光電変換膜印加電圧依存性を示す図である。

【図4】本発明に係る積層型固体撮像装置の製造方法の第1実施例を説明するための製造工程を示す図である。

【図5】図4に示した製造工程に続く製造工程を示す図である。

【図6】図5に示した製造工程に続く製造工程を示す図である。

30 【図7】本発明に係る積層型固体撮像装置の製造方法の第2実施例を説明するための製造工程を示す図である。

【図8】従来の積層型固体撮像装置の構成例を示す断面図である。

【図9】従来の積層型固体撮像装置の他の構成例を示す断面図である。

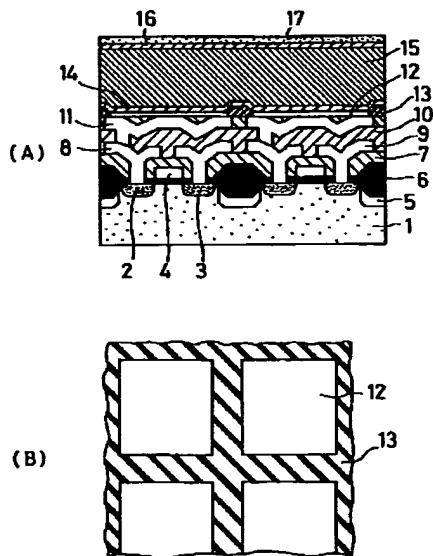
【図10】従来の積層型固体撮像装置の更に他の構成例を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 ソース部
- 3 ドレイン部
- 4 ゲート電極
- 5 素子分離領域
- 6 フィールド酸化膜
- 7 第1の絶縁膜
- 8, 9 第1の金属電極
- 10 第2の絶縁膜
- 11 第2の金属電極
- 12 画素電極
- 13 絶縁膜

- 14 第1の電荷注入阻止層
- 15 光電変換膜
- 16 第2の電荷注入阻止層
- 17 透明電極
- 21 半導体基板
- 23 素子分離領域
- 24 フィールド酸化膜
- 25 ゲート絶縁膜
- 26 ゲート電極
- 27 ソース部
- 28 ドレイン部
- 29 第1の絶縁膜
- 30 コンタクトホール
- 31, 32 第1の金属電極
- 33 第2の絶縁膜

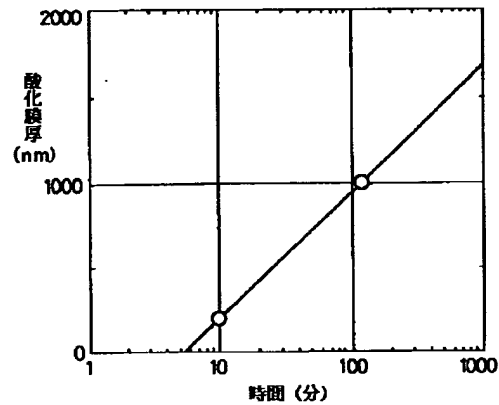
【図1】



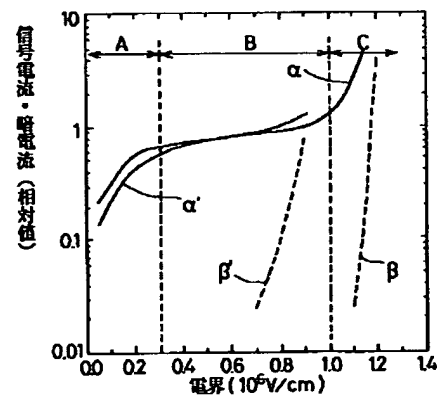
- | | |
|-------------|----------------|
| 1: 半導体基板 | 8, 9: 第1の金属電極 |
| 2: ソース部 | 10: 第2の絶縁膜 |
| 3: ドレイン部 | 11: 第2の金属電極 |
| 4: ゲート電極 | 12: 画素電極 |
| 5: 素子分離領域 | 13: 絶縁膜 |
| 6: フィールド酸化膜 | 14: 第1の電荷注入阻止層 |
| 7: 第1の絶縁膜 | 15: 光電変換膜 |
| | 16: 第2の電荷注入阻止層 |
| | 17: 透明電極 |

- 34 コンタクトホール
- 35 第2の金属電極
- 36 第3の絶縁膜
- 37 平坦化表面
- 38 画素電極層
- 39 間隙予定部
- 40 レジストパターン
- 41 画素分離領域
- 42 画素電極
- 10 43 第1の電荷注入阻止層
- 44 光電変換膜
- 45 第2の電荷注入阻止層
- 51 画素電極
- 52 レジストパターン
- 53 絶縁膜

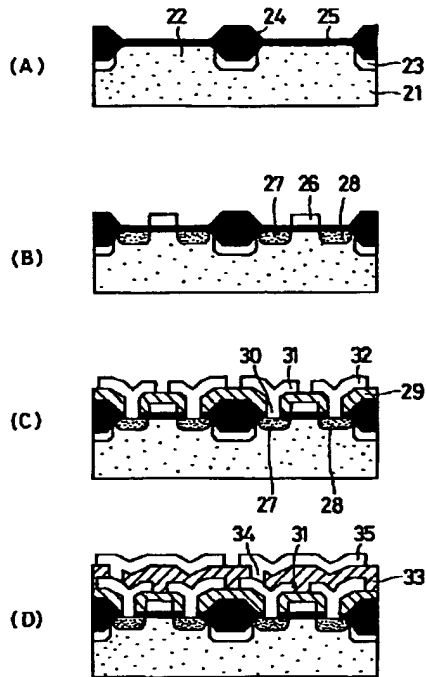
【図2】



【図3】

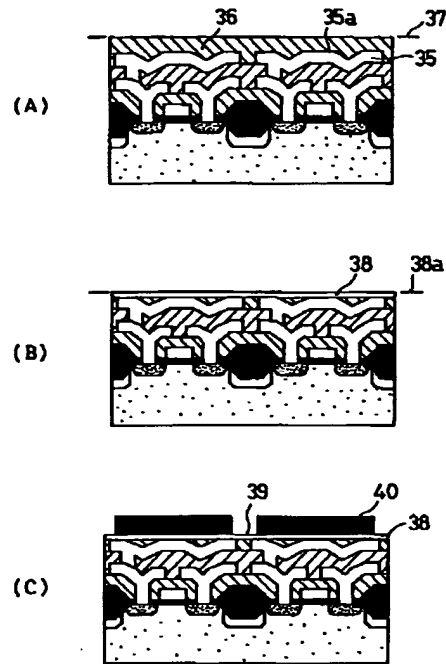


【図4】



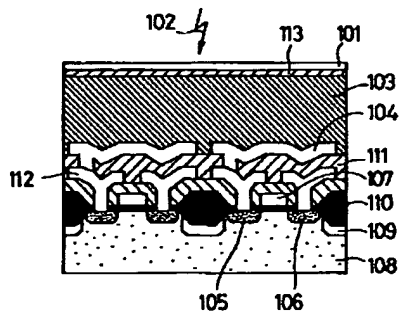
- 21 : 半導体基板
 23 : 素子分離領域
 24 : フィールド酸化膜
 25 : ゲート絶縁膜
 26 : ゲート電極
 27 : ソース部
 28 : ドレイン部
 29 : 第1の絶縁膜
 31, 32 : 第1の金属電極
 33 : 第2の絶縁膜
 35 : 第2の金属電極

【図5】

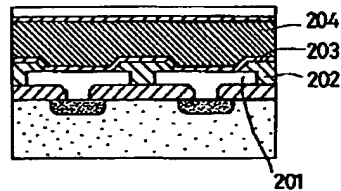


- 36 : 第3の絶縁膜
 37 : 平坦化表面
 38 : 面素電極層
 38a : 表面
 39 : 間隙予定部
 40 : レジストパターン

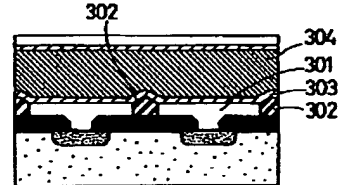
【図8】



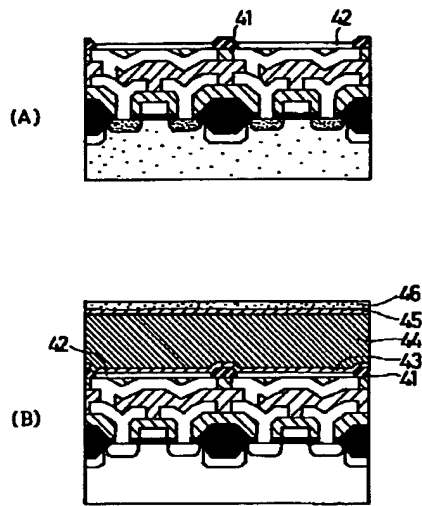
【図9】



【図10】

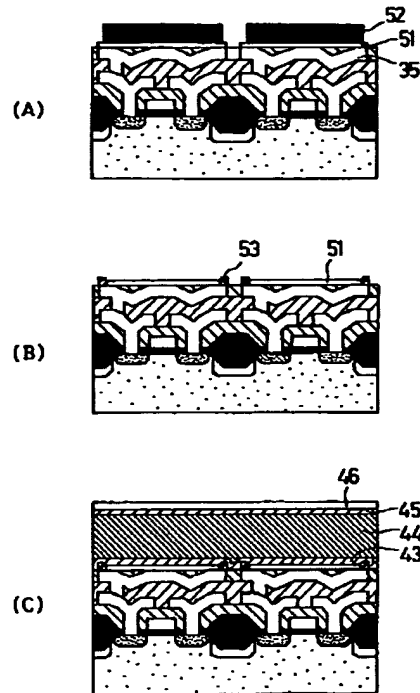


【図6】



- 41 : 画素分離領域
 42 : 画素電極
 43 : 第1の電荷注入阻止層
 44 : 光電変換膜
 45 : 第2の電荷注入阻止層
 46 : 透光性電極

【図7】



- 51 : 画素電極
 52 : レジストパターン
 53 : 絶縁膜

フロントページの続き

(72)発明者 安藤 文彦
 東京都世田谷区砧1丁目10番11号 日本放
 送協会放送技術研究所内

(72)発明者 小杉 美津男
 東京都世田谷区砧1丁目10番11号 日本放
 送協会放送技術研究所内